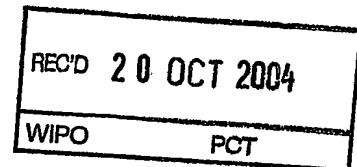


**BUNDESREPUBLIK DEUTSCHLAND**

DE 04 | 1838

**PRIORITY  
DOCUMENT**SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 103 39 531.8

**Anmeldetag:** 21. August 2003

**Anmelder/Inhaber:** Hahn-Meitner-Institut Berlin GmbH, 14109 Berlin/DE

**Bezeichnung:** Vertikaler Nano-Transistor, Verfahren zu seiner Herstellung und Speicheranordnung

**IPC:** H 01 L 29/78

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 27. September 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
 Im Auftrag

Dzlerzen

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

## Zusammenfassung

Vertikaler Nano-Transistor, Verfahren zu seiner Herstellung und

### 5 Speicheranordnung

Es soll ein vertikaler Nano-Transistor angegeben werden, der mechanischen Beanspruchungen gut widersteht und in seiner Herstellung weniger aufwändig ist, als bisher dem Stand der Technik nach bekannt. Die Aufgabe wird

- 10 erfindungsgemäß dadurch gelöst, dass ein vertikaler Nano-Transistor angegeben wird mit einem Source-Bereich, mit einem Drain-Bereich, mit einem Gate-Bereich und mit einem halbleitenden Kanalbereich zwischen dem Source-Bereich und dem Drain-Bereich, wobei der Gate-Bereich durch eine Metallfolie gebildet ist, in die der Transistor derart eingebettet ist, dass der  
15 Gate-Bereich und der halbleitende Kanalbereich eine koaxiale Struktur bilden und der Source-Bereich, der halbleitende Kanalbereich und der Drain-Bereich in vertikaler Richtung angeordnet sind und der Gate-Bereich eine elektrische Isolierung zum Source-Bereich, zum Drain-Bereich und zum halbleitenden Kanalbereich aufweist. Ein Verfahren zur Herstellung derartiger Transistoren  
20 ist angegeben, sowie eine Speicheranordnung.

### Bezeichnung

Vertikaler Nano-Transistor, Verfahren zu seiner Herstellung und Speicheranordnung

5

### Beschreibung

Die Erfindung betrifft einen vertikalen Nano-Transistor, ein Verfahren zu seiner Herstellung und eine Speicheranordnung.

In der DE-OS 101 42 913 ist eine mechanischen Beanspruchungen durch Biegung, Scherung oder Dehnung gut widerstehende Transistoranordnung beschrieben, bei der in Mikrolöchern eines Folienverbundes, der aus zwei Kunststofffolien mit zwischenliegender Metallschicht besteht, vertikal Halbleitermaterial eingebracht ist. Das Halbleitermaterial ist mit metallischen Kontakten auf der Ober- und Unterseite des Folienverbundes versehen. Hierbei ist jedoch das Aufbringen einer Metallschicht auf eine Kunststofffolie nicht einfach handhabbar; außerdem umfasst das Verfahren zur Herstellung einer solchen vertikalen Transistoranordnung eine Vielzahl von einzelnen Verfahrensschritten.

Auch der in US 2002/0001905 beschriebene vertikale Nano-Transistor ist in seiner Herstellung aufwändig und kompliziert, da zunächst auf einem teuren Halbleiter-Substrat, das nicht flexibel ist, ein Source-Bereich und darauf eine isolierende Schicht aufgebracht wird. In der isolierenden Schicht ( $\text{Al}_2\text{O}_3$  oder Si) sind Löcher im nm-Bereich angeordnet und in diesen Löchern sind vertikal ausgerichtete Kohlenstoff-Nanoröhren eingebracht. Der Gate-Bereich ist über der isolierenden Schicht um die Kohlenstoff-Nanoröhren angeordnet, dieser ist bis auf die obere Deckfläche der Nanoröhren ausgefüllt mit einem nichtleitenden Material. Das Ausbilden des Gate-Bereichs um die Nanoröhren und das Erhalten dieser Nanoröhren mit gleichen Durchmessern während des

Auffüllens erweist sich als sehr schwierig. Dies kann zur Folge haben, dass vertikale Transistor-Anordnungen entstehen, die wegen der unterschiedlichen Durchmesser der jeweils zugehörigen Nanoröhre auch unterschiedliche Charakteristiken aufweisen.

5

Aufgabe der Erfindung ist es deshalb, einen vertikalen Nano-Transistor anzugeben, der mechanischen Beanspruchungen gut widersteht und in seiner Herstellung weniger aufwändig ist, als bisher dem Stand der Technik nach bekannt. Außerdem soll ein Herstellungsverfahren angegeben werden sowie eine Speicheranordnung.

10

Die Aufgabe wird erfindungsgemäß dadurch gelöst, dass ein vertikaler Nano-Transistor angegeben wird mit einem Source-Bereich, mit einem Drain-Bereich, mit einem Gate-Bereich und mit einem halbleitenden Kanalbereich

15

zwischen dem Source-Bereich und dem Drain-Bereich, wobei der Gate-Bereich durch eine Metallfolie gebildet ist, in die der Transistor derart eingebettet ist, dass der Gate-Bereich und der halbleitende Kanalbereich eine koaxiale Struktur bilden und der Source-Bereich, der halbleitende Kanalbereich und der Drain-Bereich in vertikaler Richtung angeordnet sind

20

und der Gate-Bereich eine elektrische Isolierung zum Source-Bereich, zum Drain-Bereich und zum halbleitenden Kanalbereich aufweist.

25

In der erfindungsgemäßen Lösung bildet eine extrem dünne Metallfolie den Gate-Bereich. Es entfällt das schwierige Aufbringen einer Metallschicht auf eine Kunststofffolie; außerdem müssen die einzelnen Folien nicht wie in der erwähnten Lösung zu einem Folienverbund zusammengefügt werden. Die Dichte der für die zu bildende koaxiale Struktur in die Metallfolie eingebrachten Löcher ist sehr hoch.

30

In Ausführungsformen der Erfindung ist vorgesehen, den halbleitenden Kanalbereich zylinderförmig auszubilden. Der Durchmesser des halbleitenden Kanalbereiches beträgt einige Zehn bis einige Hundert Nanometer. Das

Material des halbleitenden Kanalbereiches ist CuSCN oder TiO<sub>2</sub> oder PbS oder ZnO oder ein anderer Verbindungshalbleiter.

- Die Dicke der den vertikalen Gate-Bereich bildenden Metallfolie beträgt
- 5 weniger als 100 µm, vorzugsweise 5 bis 20 µm. Die Metallfolie ist im Vergleich zur Kunststofffolie gleichmäßiger in ihrer Höhe, wodurch bei der geringen Dicke gewährleistet ist, dass die eingebrachten Löcher auch wirklich durch die Folie durchgehen. Außerdem ist die erfindungsgemäße Anordnung durch die sehr dünne Metallfolie sehr widerstandsfähig gegenüber mechanischen Beanspruchungen.

- 10 Eine andere Ausführungsform sieht vor, dass die Dicke der elektrischen Isolierung in dem Kanalbereich einige bis einige Hundert Nanometer beträgt. Die Dicke der Isolationsschicht auf der Ober- und Unterseite der Metallfolie
- 15 beträgt einige Mikrometer. Die Isolationsschicht kann durch bekannte Verfahren der Dünnfilm-Technik aufgebracht werden.

- 20 Als Material für den Source- und den Drain-Bereich ist Au oder Ag oder Cu oder Ni oder Al vorgesehen. Der Source- und Drain-Bereich kann punktförmig ausgebildet sein.

- 25 Die erfindungsgemäße Lösung umfasst auch eine Speicheranordnung, bei der eine Vielzahl vertikaler Nano-Transistoren mit den im Anspruch 1 beschriebenen Merkmalen nebeneinander in einer Metallfolie angeordnet sind.

- Das erfindungsgemäße Verfahren zur Herstellung vertikaler Nano-Transistoren gemäß Anspruch 1, umfasst mindestens die Verfahrensschritte: Erzeugen von Löchern in einer den Gate-Bereich des Transistors bildenden
- 30 dünnen Metallfolie zur Ausbildung des Kanalbereiches, Einbringen von Isolatormaterial an die Wandung der Löcher, Aufbringen von Isolatormaterial auf der Ober- und Unterseite der Metallfolie, Einbringen von halbleitendem

Material in die isolierten Löcher zur Bildung des halbleitenden Kanalbereiches, Aufbringen von Kontakten zur Ausbildung des Source- und Drain-Bereiches.

- In Ausführungsformen zum erfindungsgemäßen Verfahren ist vorgesehen, die  
5 Löcher in der Metallfolie mittels fokussierter Ionenstrahlen oder mittels Laserstrahl zu erzeugen.

- Das Isolatormaterial wird mittels Dünnfilmtechnologie oder mittels Vakuumfiltration einer Polymerlösung auf die Wandung der Löcher und auf  
10 Ober- und Unterseite der Metallfolie aufgebracht.

- In anderen Ausführungsformen der Erfindung ist vorgesehen, das Halbleitermaterial, wobei CuSCN oder TiO<sub>2</sub> oder PbS oder ZnO oder ein anderer Verbindungshalbleiter verwendet werden kann, mittels  
15 elektrochemischer Badabscheidung oder chemischer Deposition oder mittels ILGAR-Verfahren in die isolierten Löcher der Metallfolie einzubringen.

- Das Herstellungsverfahren für die erfindungsgemäße vertikale Nano-Transistor-Anordnung ist einfach und passt sich in die bekannten  
20 Dünnfilmtechnologien ein. Aufgrund der erfindungsgemäßen Anordnung ist eine Begrenzung auf bestimmte Temperaturen im Herstellungsverfahren nicht mehr notwendig.

- Die Erfindung soll in folgendem Ausführungsbeispiel anhand einer Zeichnung  
25 näher erläutert werden.

Diese Zeichnung zeigt die Herstellungsschritte erfindungsgemäßer vertikaler Nano-Transistoren, die in eine Metallfolie eingebettet sind.

- 30 Zunächst werden in eine Metallfolie 1, beispielsweise eine 30 µm dicke Al- oder Cu-Folie, mittels Laserbestrahlung Löcher 4 mit einem Durchmesser von 200 nm eingebracht. Anschließend wird eine Isolationsschicht 2 aus

organischem Material, z.B.  $\text{Al}_2\text{O}_3$ ,  $\text{ZnS}$ ,  $\text{SiO}_2$ , oder anorganischem Material, z.B. Polystyrene durch Vakuumfiltration einer Polymerlösung, auf die Wandung der Löcher 4 aufgebracht. Die Dicke dieser Schicht 2 beträgt 50 nm. Mittels bekannter Dünnschichttechniken wird anschließend auch auf der Ober-  
5 und Unterseite der Metallfolie 1 eine Isolationsschicht 2 mit einer Dicke von einigen Mikrometern aufgebracht. Danach werden die isolierten Löcher 4 in der Metallfolie 1 mit CuSCN verfüllt. Damit ist die Bildung eines halbleitenden Kanalbereiches 3 mit einem Durchmesser von 100 nm abgeschlossen. Abschließend werden metallische Kontakte als Drain- D und Source-Kontakte  
10 S aufgebracht.

Patentansprüche

1. Vertikaler Nano-Transistor
  - 5 mit einem Source-Bereich (S),  
mit einem Drain-Bereich (D),  
mit einem Gate-Bereich (G) und  
mit einem halbleitenden Kanalbereich (3) zwischen dem Source-Bereich (S)  
und dem Drain-Bereich (D),
  - 10 wobei der Gate-Bereich (G) durch eine Metallfolie (1) gebildet ist, in die der Transistor derart eingebettet ist, dass der Gate-Bereich (G) und der halbleitende Kanalbereich (3) eine koaxiale Struktur bilden und der Source-Bereich (S), der halbleitende Kanalbereich (3) und der Drain-Bereich (D) in vertikaler Richtung angeordnet sind und
  - 15 der Gate-Bereich (G) eine elektrische Isolierung (2) zum Source-Bereich (S),  
zum Drain-Bereich (D) und zum halbleitenden Kanalbereich (3) aufweist.
- 20
2. Transistor nach Anspruch 1,  
bei dem der halbleitende Kanalbereich (3) zylinderförmig ausgebildet ist.
  3. Transistor nach Anspruch 1,  
bei dem die Dicke der den vertikalen Gate-Bereich (G) bildenden Metallfolie (1) weniger als 100 µm, vorzugsweise 5 bis 20 µm, beträgt.
- 25
4. Transistor nach Anspruch 1,  
bei dem der Durchmesser des halbleitenden Kanalbereiches (3) einige Zehn bis einige Hundert Nanometer beträgt.
- 30
5. Transistor nach Anspruch 1,  
bei dem die Dicke der elektrischen Isolierung (2) zwischen Gate-Bereich (G) und halbleitendem Kanal (3) einige Zehn bis einige Hundert Nanometer beträgt.

6. Transistor nach Anspruch 1,  
bei dem die Dicke der Isolationsschicht (2) auf der Ober- und Unterseite der Metallfolie (1) einige Mikrometer beträgt.

5

7. Transistor nach Anspruch 1,  
bei dem das Material des halbleitenden Kanals (3) CuSCN oder TiO<sub>2</sub> oder PbS oder ZnO oder ein anderer Verbindungshalbleiter ist.

10

8. Transistor nach Anspruch 1,  
bei dem das Material für den Source-(S) und den Drain-Bereich (D) Au oder Ag oder Cu oder Ni oder Al ist.

15

9. Transistor nach Anspruch 1,  
bei dem der Source- (S) und Drain-Bereich (D) punktförmig ausgebildet ist.

10. Speicheranordnung,

bei der eine Vielzahl vertikaler Nano-Transistoren nach mindestens einem der vorangehenden Ansprüche nebeneinander in einer Metallfolie angeordnet sind.

20

11. Verfahren zur Herstellung vertikaler Nano-Transistoren gemäß Anspruch 1, umfassend mindestens die Verfahrensschritte

- Erzeugen von Löchern (4) in einer den Gate-Bereich (G) des Transistors bildenden dünnen Metallfolie (1) zur Ausbildung des Kanalbereiches (3),
- Einbringen von Isolatormaterial an die Wandung der Löcher (4),
- Aufbringen von Isolatormaterial auf der Ober- und Unterseite der Metallfolie (1),
- Einbringen von halbleitendem Material in die isolierten Löcher (4) zur Bildung des halbleitenden Kanalbereiches (3),
- Aufbringen von Kontakten zur Ausbildung des Source- (S) und Drain-Bereiches (D).

25

30

12. Verfahren nach Anspruch 11,  
bei dem die Löcher (4) in der Metallfolie (1) mittels fokussierter Ionenstrahlen  
erzeugt werden.

5

13. Verfahren nach Anspruch 11,  
bei dem die Löcher (4) in der Metallfolie (1) mittels Laserstrahl erzeugt  
werden.

10

14. Verfahren nach Anspruch 11,  
bei dem das Isolatormaterial mittels Dünnfilmtechnologie auf die Ober- und  
Unterseite der Metallfolie (1) aufgebracht wird.

15

15. Verfahren nach Anspruch 11,  
bei dem das Isolatormaterial mittels Vakuumfiltration einer Polymerlösung auf  
die Wandung der Löcher (4) und auf Ober- und Unterseite der Metallfolie (1)  
aufgebracht wird.

20

16. Verfahren nach Anspruch 11,  
bei dem das Isolatormaterial mittels elektrochemischer Deposition auf die  
Wandung der Löcher (4) und auf Ober- und Unterseite der Metallfolie (1)  
aufgebracht wird.

25

17. Verfahren nach Anspruch 11,  
bei dem das Isolatormaterial mittels chemischer Deposition auf die Wandung  
der Löcher (4) und auf Ober- und Unterseite der Metallfolie (1) aufgebracht  
wird.

30

18. Verfahren nach Anspruch 11,  
bei dem als Material für den halbleitenden Kanalbereich (3) CuSCN oder TiO<sub>2</sub>  
oder PbS oder ZnO oder ein anderer Verbindungshalbleiter verwendet wird.

19. Verfahren nach Anspruch 11,

bei dem das Halbleitermaterial durch elektrochemische Badabscheidung in die isolierten Löcher (4) eingebracht wird.

5 20. Verfahren nach Anspruch 11,

bei dem das Halbleitermaterial durch chemische Deposition in die isolierten Löcher (4) eingebracht wird.

21. Verfahren nach Anspruch 11,

10 bei dem das Halbleitermaterial durch das ILGAR-Verfahren in die isolierten Löcher (4) eingebracht wird.

22. Verfahren nach Anspruch 11,

bei dem als Material für den Source- und den Drain-Bereich Au oder Ag oder

15 Cu oder Ni oder Al verwendet wird.

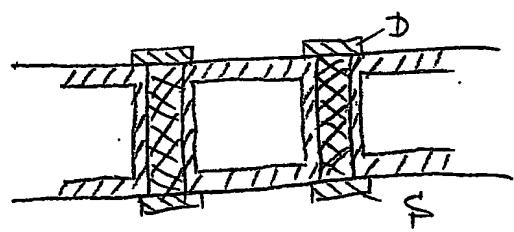
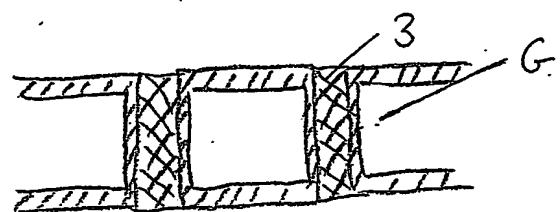
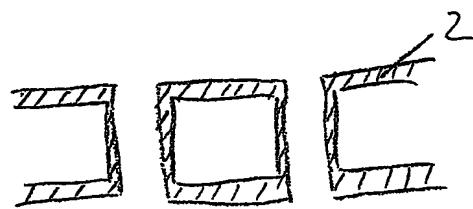
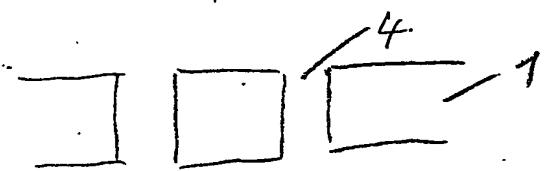
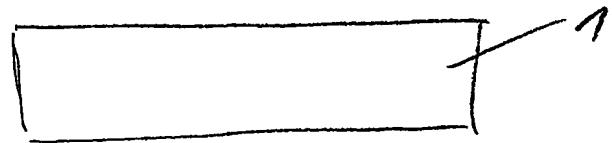


Fig. 1